

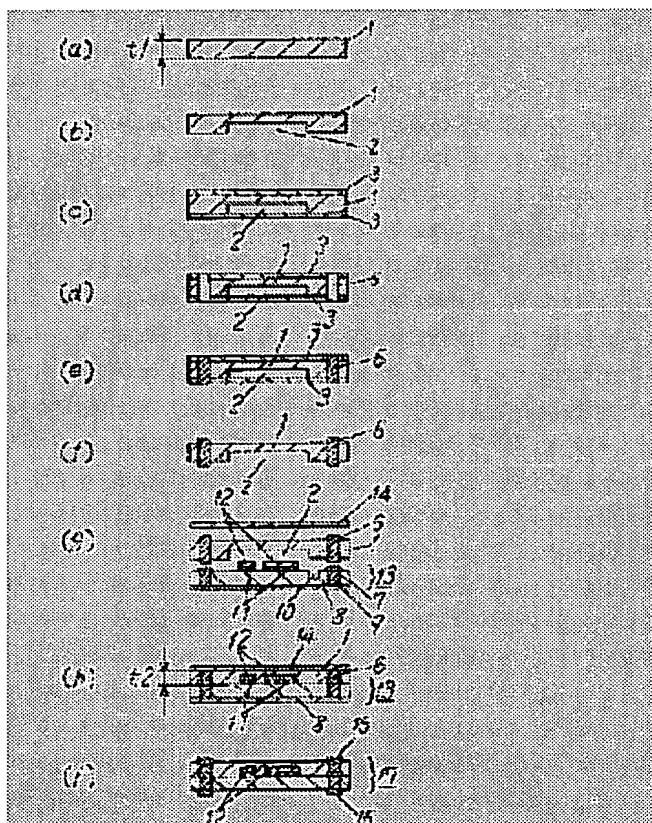
CIRCUIT BOARD AND ITS MANUFACTURING METHOD

Patent number: JP2003133743
Publication date: 2003-05-09
Inventor: OCHI AKIO; HIRATA SHINJI; HORI KENICHIRO; WADA AKIRA; IDA HIDEJI
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: **H01L25/04; H01L25/18; H05K3/46; H01L25/04; H01L25/18; H05K3/46; (IPC1-7): H05K3/46; H01L25/04; H01L25/18**
- european:
Application number: JP20010324724 20011023
Priority number(s): JP20010324724 20011023

Report a data error here

Abstract of JP2003133743

PROBLEM TO BE SOLVED: To provide a method of manufacturing a circuit board having an inner via hole connection containing parts and an element. **SOLUTION:** This method of manufacturing the circuit board includes a groove forming step of forming a groove 2 into a compressible insulating substrate 1, parts arranging step of arranging the parts and element 12 mounted on a parts mounting substrate 13 in an electrically connected state in the groove 2, and a curing step of causing the insulating substrate 1 to hold the parts and element 12 by reducing the width of the groove 2 while compressing the substrate 1 by heating and pressurizing the substrate 1. In the method, a via hole forming step of filling up via holes 5 formed after a releasable film 3 is stuck to at least one surface of the substrate 1 with conductive paste 6 and, thereafter, removing the film 3 is performed in a stage before the curing step.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-133743

(P2003-133743A)

(43)公開日 平成15年5月9日(2003.5.9)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 5 K 3/46		H 0 5 K 3/46	Q 5 E 3 4 6
			N
			X
H 0 1 L 25/04		H 0 1 L 25/04	Z
25/18			
審査請求 未請求 請求項の数6 O L (全 9 頁)			

(21)出願番号 特願2001-324724(P2001-324724)

(22)出願日 平成13年10月23日(2001. 10. 23)

(71)出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 越智 昭夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 平田 信治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 10009/445

弁理士 岩橋 文雄 (外2名)

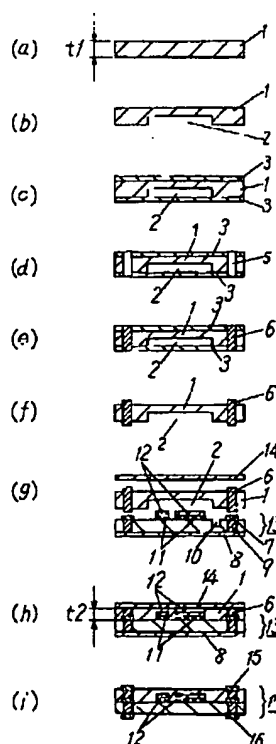
最終頁に続く

(54)【発明の名称】 回路基板およびその製造方法

(57)【要約】

【課題】 内部に部品素子を有するインナビアホール接続を持つ回路基板の製造方法を提供することを目的とする。

【解決手段】 被圧縮性を有する絶縁基材1に溝2を形成する溝加工工程と、部品搭載基板13に電氣的に接続して搭載した部品素子12を、溝2の内部に配置する部品配置工程と、加熱加圧することで、絶縁基材1を圧縮しながら溝2を微小化することにより部品素子12を絶縁基材1に保持させる硬化工程とを含み、基材1の少なくとも片面に離型性フィルム3を貼付後に形成したビアホール5に対し導電性ペースト6を充填し、その後離型性フィルム3を剥離するビア形成工程は、硬化工程に至るまでの前工程に存在する回路基板の製造方法である。



【特許請求の範囲】

【請求項１】 被圧縮性を有する絶縁基材の所定位置に部品素子の形状よりも大きい形状の溝を形成する溝加工工程と、導電性を有する配線パターンを少なくとも一方の面上に有した部品搭載基板の前記配線パターンに電気的に接続して搭載した前記部品素子を、前記絶縁基材に形成した前記溝の内部に配置し、前記絶縁基材を前記部品搭載基板に積層する部品配置工程と、前記絶縁基材のビアホールに充填した導電性物質を有する導電性ペーストを、前記配線パターンに当接させた状態で前記絶縁基材を加熱加圧し、前記絶縁基材を圧縮しながら前記絶縁基材の所定位置に形成した前記溝を当該絶縁基材の樹脂成分にて微小化することにより前記部品素子を前記絶縁基材の所定位置に保持させ、かつ、前記導電性ペーストの前記導電性物質を緻密化して前記配線パターンと電気的に接続する硬化工程とを含み、絶縁基材の少なくとも片面に離型性フィルムを貼付し、前記離型性フィルムと前記絶縁基材に対し形成した前記ビアホールに対し前記導電性物質を有する前記導電性ペーストを充填し、その後前記絶縁基材に貼付した前記離型性フィルムを剥離するビア形成工程は、前記硬化工程に至るまでの前工程に存在する回路基板の製造方法。

【請求項２】 溝加工工程は、複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することを特徴とする請求項１記載の回路基板の製造方法。

【請求項３】 溝加工工程は、回路基板を含む複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することを特徴とする請求項１記載の回路基板の製造方法。

【請求項４】 溝加工工程は、導電性を有する配線パターンに電気的に接続された部品素子を少なくとも一方の面上に有した部品搭載基板を含む複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することを特徴とする請求項１記載の回路基板の製造方法。

【請求項５】 絶縁基材のビアホール内に充填された、導電性物質を有する導電性ペーストと、導電性を有する配線パターンを少なくとも一方の面上に有した表層としての回路基板の前記配線パターンとが電気的に接続された回路基板において、前記絶縁基材の所定位置に形成した溝もしくは貫通孔が当該絶縁基材の樹脂成分にて微小化されることにより、前記溝もしくは前記貫通孔内に部品素子が保持された回路基板。

【請求項６】 絶縁基材のビアホール内に充填された、導電性物質を有する導電性ペーストと、導電性を有する配線パターンを少なくとも一方の面上に有した表層としての回路基板の前記配線パターンとが電気的に接続された回路基板において、少なくとも前記絶縁基材の所定位置に形成した貫通孔と、前記絶縁基材に隣接する前記回

路基板の前記貫通孔に隣接する位置に形成した溝もしくは貫通孔が当該絶縁基材の樹脂成分にて微小化されることにより、前記絶縁基材の前記貫通孔内と前記絶縁基材に隣接する前記回路基板の前記溝もしくは前記貫通孔内に部品素子が保持された回路基板。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、内部に部品素子を有する回路基板およびその製造方法に関するものである。

【０００２】

【従来の技術】近年、電子機器の小型化、高密度化に伴い、産業用にとどまらず民生用の分野において、回路基板に対するファイン化が強く要望され、内部に部品素子を有するインナビアホール接続を持つ回路基板が必要になってきた。

【０００３】以下従来の回路基板の製造方法について説明する。図４（ａ）～（ｆ）は従来の回路基板の製造方法を示す工程断面図である。

【０００４】まず、図４（ａ）に示すように、両面にポリエステルなどの離型フィルム１０１を備えた厚さ t_b の絶縁基材１０２を準備する。次に図４（ｂ）に示すように、絶縁基材１０２の所定の箇所にレーザ光などを利用して貫通孔１０３を形成する。次に図４（ｃ）に示すように、貫通孔１０３に導電性ペースト１０４を充填する。このとき、上面の離型性フィルム１０１は印刷マスクの役割と、絶縁基材１０２の表面の汚染防止の役割を果たしている。次に絶縁基材１０２の両面から離型性フィルム１０１を剥離する。次に図４（ｄ）に示すように、絶縁基材１０２の両面に銅箔などの金属箔１０５を貼付ける。この状態で加熱加圧することにより、図４（ｅ）に示すように、絶縁基材１０２の厚さは t_a に圧縮され、導電性ペースト１０４の導電性物質が緻密化されることにより導電性ペースト１０４と金属箔１０５を電気的に接続する。さらに図４（ｆ）に示すように金属箔１０５を選択的にエッチングして配線パターン１０６を形成することにより回路基板１０７が得られる。

【０００５】

【発明が解決しようとする課題】しかしながら、上述する回路基板の製造方法では、内部に部品素子を有する回路基板を提供することが困難であった。

【０００６】本発明はこのような従来方法の課題を解決するものであり、内部に部品素子を有するインナビアホール接続を持つ回路基板の製造方法を提供することができるものである。

【０００７】

【課題を解決するための手段】本発明の請求項１に記載の発明は、被圧縮性を有する絶縁基材の所定位置に部品素子の形状よりも大きい形状の溝を形成する溝加工工程と、導電性を有する配線パターンを少なくとも一方の面

上に有した部品搭載基板の前記配線パターンに電氣的に接続して搭載した前記部品素子を、前記絶縁基材に形成した前記溝の内部に配置し、前記絶縁基材を前記部品搭載基板に積層する部品配置工程と、前記絶縁基材のビアホールに充填した導電性物質を有する導電性ペーストを、前記配線パターンに当接させた状態で前記絶縁基材を加熱加圧し、前記絶縁基材を圧縮しながら前記絶縁基材の所定位置に形成した前記溝を当該絶縁基材の樹脂成分にて微小化することにより前記部品素子を前記絶縁基材の所定位置に保持させ、かつ、前記導電性ペーストの前記導電性物質を緻密化して前記配線パターンと電氣的に接続する硬化工程とを含み、絶縁基材の少なくとも片面に離型性フィルムを貼付し、前記離型性フィルムと前記絶縁基材に対し形成した前記ビアホールに対し前記導電性物質を有する前記導電性ペーストを充填し、その後前記絶縁基材に貼付した前記離型性フィルムを剥離するビア形成工程は、前記硬化工程に至るまでの前工程に存在する回路基板の製造方法であり、絶縁基材の所定位置の溝が硬化工程において微小化するため、部品搭載基板に電氣的に接続して搭載された部品素子を絶縁基材の所定位置に保持することができると共に、絶縁基材の圧縮性が増すことにより、導電性ペーストの導電性物質がさらに緻密化して電氣的接続が強固な信頼性の高いインナビアホール接続が得られるという作用を有する。

【0008】本発明の請求項2に記載の発明は、請求項1記載の発明において、溝加工工程は、複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することにより、絶縁部材の1枚の厚みより高さが高い部品素子を回路基板内部に配置することができるという作用を有する。

【0009】本発明の請求項3に記載の発明は、請求項1記載の発明において、溝加工工程は、回路基板を含む複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することにより、各種厚みの各種回路基板を絶縁部材として用いることができるため、高さが高い部品素子を自由に回路基板内部に配置することができるという作用を有する。

【0010】本発明の請求項4に記載の発明は、請求項1記載の発明において、溝加工工程は、導電性を有する配線パターンに電氣的に接続された部品素子を少なくとも一方の面上に有した部品搭載基板を含む複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することにより、部品素子を高密度に回路基板内部に配置することができるという作用を有する。

【0011】本発明の請求項5に記載の発明は、絶縁基材のビアホール内に充填された、導電性物質を有する導電性ペーストと、導電性を有する配線パターンを少なくとも一方の面上に有した表層としての回路基板の前記配

線パターンとが電氣的に接続された回路基板において、前記絶縁基材の所定位置に形成した溝もしくは貫通孔が当該絶縁基材の樹脂成分にて微小化されることにより、部品素子を絶縁基材の溝もしくは貫通孔内に保持した回路基板であり、絶縁基材の圧縮性が増すことにより、導電性ペーストの導電性物質がさらに緻密化して電氣的接続がより強固な信頼性の高いインナビアホール接続を持つ回路基板が得られるという作用を有する。

【0012】本発明の請求項6に記載の発明は、絶縁基材のビアホール内に充填された、導電性物質を有する導電性ペーストと、導電性を有する配線パターンを少なくとも一方の面上に有した表層としての回路基板の前記配線パターンとが電氣的に接続された回路基板において、少なくとも前記絶縁基材の所定位置に形成した貫通孔と、前記絶縁基材に隣接する前記回路基板の前記貫通孔に隣接する位置に形成した溝もしくは貫通孔が当該絶縁基材の樹脂成分にて微小化されることにより、部品素子を絶縁基材の貫通孔と、隣接する前記回路基板の前記溝もしくは貫通孔内に保持した回路基板であり、絶縁基材の圧縮性が増すことにより、導電性ペーストの導電性物質がさらに緻密化して電氣的接続がより強固な信頼性の高いインナビアホール接続を持つ回路基板が得られるという作用を有する。

【0013】

【発明の実施の形態】（実施の形態1）図1は本発明の実施の形態1における、内部に部品素子を有する回路基板の製造工程を示す工程断面図である。まず、図1

(a)に示すように厚さ1の被圧縮性を持つ絶縁基材1を準備する。この絶縁基材1としては、例えば芳香族ポリアミド繊維に熱硬化性エポキシ樹脂を含浸させた複合材からなる基材（以下アラミド-エポキシシートと称する）が用いられる。次に図1(b)に示すようにアラミド-エポキシシート1の所定の位置にレーザ光などを利用して溝2を加工する。このとき溝2の形状や個数は任意であり、アラミド-エポキシシート1のどちらの面に加工してもかまわないし、両面に加工してもよい。また、金型やレーザ光等を利用した貫通孔であってもよい。

【0014】次に図1(c)に示すように熱プレスやラミネータを用いて、ポリエステルなどの離型性フィルム3をアラミド-エポキシシート1の両面に貼付ける。このとき離型性フィルム3は片面のみであってもかまわない。次に図1(d)に示すようにレーザ光などを利用してアラミド-エポキシシート1と離型性フィルム3に対してビアホールとなる貫通孔5を設ける。次に図1

(e)に示すように、貫通孔5に例えばエポキシ樹脂と銅粉等の金属粉を含む導電性ペースト6を充填する。

【0015】導電性ペーストを充填する方法としては、貫通孔5を有するアラミド-エポキシシート1を印刷機（図示せず）のテーブル上に設置し、直接導電性ペースト

トを離型性フィルム3の上から印刷する。このとき、上面の離型性フィルム3は印刷マスクの役割と、アラミド-エポキシシート1の表面の汚染防止の役割を果たしている。次に図1(f)に示すようにアラミド-エポキシシート1の両面から離型性フィルム3を剥離する。

【0016】次に図1(g)に示すように、配線パターン7が一方の面に形成され、もう一方の面の金属箔8と導電性ペースト9によってインナビアホール接続され、かつ、溝10が加工され、かつ、導電性を有する配線パターン11に電気的に接続して搭載した部品素子12を有した部品搭載基板13を準備し、溝2が加工され貫通孔5に導電性ペースト6が充填されたアラミド-エポキシシート1を部品搭載基板13に重ね合わせ、さらにアラミド-エポキシシート1のもう一方の面には例えば銅箔などの金属箔14を重ね合わせる。このとき、導電性ペースト6に部品搭載基板13の配線パターン7を当接すると同時に、溝2の内部に部品素子12を配置するように重ね合わせる。

【0017】ここで、部品搭載基板13はスルーホールに銅めっきを施すことにより電気的に接続した一般の両面回路基板や多層基板に部品素子を有した部品搭載基板でもよい。また、一方の面に重ね合わせた金属箔14のかわりに一般の回路基板や多層基板を積み重ねてもかまわないし、一般の回路基板や多層基板に部品素子を搭載した部品搭載基板を重ね合わせてもかまわない。

【0018】次に、図1(h)に示すように、加熱加圧することにより、アラミド-エポキシシート1の一構成成分であるエポキシ樹脂および導電性ペースト6が硬化すると共に、アラミド-エポキシシート1と部品搭載基板13、金属箔14とが接着される。また、この工程において、アラミド-エポキシシート1の一構成成分であるエポキシ樹脂は溝2、10へ押し出され、溝2、10を縮小化する。このとき溝2はアラミド-エポキシシート1の一構成成分であるエポキシ樹脂で完全に満たされることで、部品搭載基板13上の部品素子12を保持する。そして、アラミド-エポキシシート1の一構成成分であるエポキシ樹脂が溝2、10へ押し出されることにより、もともと被圧縮性を持つアラミド-エポキシシート1はさらに圧縮されることになり、厚さは t_2 になる。同時に導電性ペースト6も圧縮されることにより、導電性ペースト6の銅粉間からエポキシ樹脂が押し出されて銅粉が緻密化し、銅粉同士および銅粉と金属箔間、もしくは銅粉と配線パターン間の電気的および機械的結合が強固になる。

【0019】なお、部品素子12が内部に配置されない部分でのアラミド-エポキシシート1の溝2と部品搭載基板13の溝10は無くてもかまわない。なお、アラミド-エポキシシート1の一構成成分であるエポキシ樹脂が溝2、10へ押し出される量を調整するには、溝2、10の形状や個数により、もしくは、加熱加圧条件によ

り対応が可能であるが、別途準備した例えばエポキシ樹脂のような樹脂等を、加熱加圧前にあらかじめ溝2、10内へ適度に注入しておいてもよい。

【0020】その後、図1(i)に示すように金属箔8、14を選択的にエッチングして配線パターン15、16を形成することにより、部品素子12を内蔵した4層回路基板17が得られる。

【0021】なお、本実施の形態では、溝2をアラミド-エポキシシート1に対して最初に加工したが、アラミド-エポキシシート1に離型性フィルム3を貼付けて貫通孔5を設け、さらに導電性ペースト6を充填後に離型性フィルム3を剥離した後、もしくは、部品搭載基板13と導電性ペースト6が充填されたアラミド-エポキシシート1を重ね合わせた後に、溝2をアラミド-エポキシシート1に対して加工してもかまわない。

【0022】また、上記の工程を繰り返すことにより、部品素子を内蔵したさらに高多層の多層回路基板を得ることができる。

【0023】なお、本実施の形態では、片面のみに配線パターン7を形成した部品搭載基板13を用いたが、あらかじめ両面に配線パターンを形成した部品搭載基板を用いてもかまわない。

【0024】(実施の形態2) 図2は本発明の実施の形態2における、内部に部品素子を有する回路基板の製造工程を示す工程断面図である。まず、図2(a)に示すように厚さ t_1 の被圧縮性を持つ絶縁基材18、19を準備する。この絶縁基材18、19としては、例えばアラミド-エポキシシートが用いられる。次に図2(b)に示すようにアラミド-エポキシシート18、19の所定の位置にレーザ光などを利用して溝20、21を加工する。このとき溝20、21の形状や個数は任意であり、アラミド-エポキシシート18、19のどちらの面に加工してもかまわないし、両面に加工してもよい。また、金型やレーザ光等を利用した貫通孔であってもよい。

【0025】次に図2(c)に示すように、第1の配線パターン22と第2の配線パターン23を表裏に有し、導電性ペースト24によりインナビア接続され、かつ、溝25、26が加工され、かつ、導電性を有する配線パターン27、28に電気的に接続して搭載した部品素子29、30を有した部品搭載基板31の両面に、アラミド-エポキシシート18、19とポリエステルなどの離型性フィルム32を熱プレスやラミネータを用いて貼付ける。このとき、溝20、21の内部に部品素子29、30を配置するように重ね合わせる。ここで、部品搭載基板31はスルーホールに銅めっきを施すことにより電気的に接続した一般の回路基板や多層基板に部品素子を有した部品搭載基板でもよい。なお、部品搭載基板31の片面のみにアラミド-エポキシシート18と離型性フィルム32を貼付けてももちろんよい。

【0026】次に図2(d)に示すようにレーザ光などを利用してアラミドエポキシシート18, 19とポリエステルなどの離型性フィルム32に対してビアホール34, 35を設ける。このとき、ビアホール34, 35は部品搭載基板31の第1の配線パターン22と第2の配線パターン23の表面を視認して穴加工する。次に図2(e)に示すように、ビアホール34, 35には例えばエポキシ樹脂と銅粉等の金属粉を含む導電性ペースト36, 37を充填する。導電性ペースト36, 37を充填する方法としては、ビアホール34, 35を有するアラミドエポキシシート18, 19を貼付けた部品搭載基板31を印刷機(図示せず)のテーブル上に設置し、直接導電性ペーストを離型性フィルム32の上から印刷する。このとき、上面の離型性フィルム32は印刷マスクの役割と、アラミドエポキシシート18, 19の表面の汚染防止の役割を果たしている。なお、部品搭載基板31に対するアラミドエポキシシート18, 19の貼付け、レーザ光によるビアホール34, 35の穴加工、ビアホール34, 35への導電性ペースト36, 37の充填の各工程は、片面ずつ実行するか、両面同時に実行するかは任意である。

【0027】次に図2(f)に示すようにアラミドエポキシシート18, 19から離型性フィルム32を剥離する。次に図2(g)に示すように、部品搭載基板31の両面に貼付けたアラミドエポキシシート18, 19の表面に銅箔などの金属箔38, 39を重ね合わせる。この状態で加熱加圧することにより、図2(h)に示すように、アラミドエポキシシート18, 19の一構成成分であるエポキシ樹脂および導電性ペースト36, 37が硬化されるとともにアラミドエポキシシート18, 19と金属箔38, 39とが接着される。また、この工程において、アラミドエポキシシート18, 19の一構成成分であるエポキシ樹脂は溝20, 21および溝25, 26へ押し出され、溝20, 21および溝25, 26を縮小化する。このとき溝20, 21はアラミドエポキシシート18, 19の一構成成分であるエポキシ樹脂で完全に満たされることで部品搭載基板31上の部品素子29, 30を保持する。そして、アラミドエポキシシート18, 19の一構成成分であるエポキシ樹脂が溝20, 21および溝25, 26へ押し出されることにより、もともと被圧縮性を持つアラミドエポキシシート18, 19はさらに圧縮されることになり、厚さはも2になる。同時に導電性ペースト36, 37も圧縮されることにより、導電性ペースト36, 37の銅粉間からエポキシ樹脂が押し出されて銅粉が緻密化し、銅粉同士および銅粉と金属箔間、もしくは銅粉と配線パターン間の結合が強固になる。

【0028】なお、部品素子29, 30が内部に配置されない部分のアラミドエポキシシート18, 19の溝20, 21と部品搭載基板31の溝25, 26は無くても

もかまわない。

【0029】次に図2(i)に示すように金属箔38, 39を選択的にエッチングして配線パターン40, 41を形成することにより、部品素子29, 30を内蔵した4層回路基板42を得ることができる。

【0030】また、上記の工程を繰り返すことにより、部品素子を内蔵したさらに高多層の多層回路基板を得ることができる。

【0031】(実施の形態3) 図3は本発明の実施の形態3における、内部に部品素子を有する回路基板の製造工程を示す工程断面図である。まず、図3(a)に示すように厚さも1の被圧縮性を持つ絶縁基材50を準備する。この絶縁基材50としては、例えばアラミドエポキシシートが用いられる。次に図3(b)に示すようにアラミドエポキシシート50の所定の位置にレーザ光などを利用して溝51を加工する。このとき溝51の形状や個数は任意であり、アラミドエポキシシート50のどちらの面に加工してもかまわないし、両面に加工してもよい。また、金型やレーザ光等を利用した貫通孔であってもよい。

【0032】次に図3(c)に示すように熱プレスやラミネータを用いて、ポリエステルなどの離型性フィルム52をアラミドエポキシシート50の両面に貼付ける。このとき離型性フィルム52は片面のみであってもかまわない。次に図3(d)に示すようにレーザ光などを利用してアラミドエポキシシート50と離型性フィルム52に対して貫通孔53を設ける。

【0033】次に図3(e)に示すように、貫通孔53に例えばエポキシ樹脂と銅粉等の金属粉を含む導電性ペースト54を充填する。導電性ペーストを充填する方法としては、貫通孔53を有するアラミドエポキシシート50を印刷機(図示せず)のテーブル上に設置し、直接、導電性ペーストを離型性フィルム52の上から印刷する。このとき、上面の離型性フィルム52は印刷マスクの役割と、アラミドエポキシシート50の表面の汚染防止の役割を果たしている。次に図3(f)に示すようにアラミドエポキシシート50の両面から離型性フィルム52を剥離する。

【0034】一方、図3(g)に示すように一方の面に配線パターン55が形成され、もう一方の面の金属箔56もしくは配線パターン57と導電性ペースト58によってインナビアホール接続され、かつ、導電性を有する配線パターン59に電気的に接続して搭載した部品素子60を有した部品搭載基板61を用意する。次に、図3(h)に示すように、部品搭載基板61の所定の位置にレーザ光などを利用して溝62を加工する。このとき溝62の形状や個数は任意であり、金型やレーザ光等を利用した貫通孔であってもよい。

【0035】次に図3(i)に示すように、アラミドエポキシシート50と部品搭載基板61を交互に重ね合

わせる。このとき、導電性ペースト54に部品搭載基板61の配線パターン55、57を接合すると同時に、溝51、62の内部に部品素子60を配置するように重ね合わせる。また、アラミド-エポキシシート50と部品搭載基板61を交互に重ね合わせる枚数により、最外層がアラミド-エポキシシート50になるときは、銅箔などの金属箔（図示せず）を最外層のアラミド-エポキシシート50のさらに外側に重ね合わせる。

【0036】次に図3（j）に示すように、加熱加圧することにより、アラミド-エポキシシート50の一構成成分であるエポキシ樹脂および導電性ペースト54が硬化すると共に、アラミド-エポキシシート50と部品搭載基板61が接着される。また、この工程において、アラミド-エポキシシート50の一構成成分であるエポキシ樹脂は溝51、62へ押し出され、溝51、62を縮小化する。このとき溝51、62はアラミド-エポキシシート50の一構成成分であるエポキシ樹脂で完全に満たされることで、部品搭載基板61上の部品素子60を保持する。

【0037】そして、アラミド-エポキシシート50の一構成成分であるエポキシ樹脂が溝51、62へ押し出されることにより、もともと被圧縮性を持つアラミド-エポキシシート50はさらに圧縮されることになり、厚さはも2になる。同時に導電性ペースト54も圧縮されることにより、導電性ペースト54の銅粉間からエポキシ樹脂が押し出されて銅粉が緻密化し、銅粉同士および銅粉と金属箔間、もしくは銅粉と配線パターン間の結合が強固になる。なお、部品素子60が内部に配置されない部分でのアラミド-エポキシシート50の溝51と部品搭載基板61の溝62は無くてもかまわない。

【0038】その後、図3（k）に示すように金属箔56を選択的にエッチングして配線パターン63を形成することにより、部品素子60を内蔵した多層回路基板64が得られる。

【0039】また、上記の工程を繰り返すことにより、部品素子を内蔵したさらに高多層の多層回路基板を得ることができる。

【0040】なお、本実施の形態では、最外層に片面が金属箔56で覆われた部品搭載基板61を用いたが、あらかじめ両面に配線パターンを形成した部品搭載基板を用いてもかまわない。

【0041】

【発明の効果】以上のように本発明は、被圧縮性を有する絶縁基材の所定位置に部品素子の形状よりも大きい形状の溝を形成する溝加工工程と、導電性を有する配線パターンを少なくとも一方の面上に有した部品搭載基板の前記配線パターンに電気的に接続して搭載した前記部品素子を、前記絶縁基材に形成した前記溝の内部に配置し、前記絶縁基材を前記部品搭載基板に積層する部品配置工程と、前記絶縁基材のビアホールに充填した導電性

物質を有する導電性ペーストを、前記配線パターンに当接させた状態で前記絶縁基材を加熱加圧し、前記絶縁基材を圧縮しながら前記絶縁基材の所定位置に形成した前記溝を微小化することにより前記部品素子を前記絶縁基材の所定位置に保持させ、かつ、前記導電性ペーストの前記導電性物質を緻密化して前記配線パターンと電気的に接続する硬化工程とを含み、絶縁基材の少なくとも片面に離型性フィルムを貼付し、前記離型性フィルムと前記絶縁基材に対し形成した前記ビアホールに対し前記導電性物質を有する前記導電性ペーストを充填し、その後前記絶縁基材に貼付した前記離型性フィルムを剥離するビア形成工程は、前記硬化工程に至るまでの前工程に存在する回路基板の製造方法であり、絶縁基材の所定位置の溝が硬化工程において微小化するため、部品搭載基板に電気的に接続して搭載された部品素子を絶縁基材の所定位置に保持することができると共に、絶縁基材の圧縮性が増すことにより、導電性ペーストの導電性物質がさらに緻密化して電気的接続がより強固な信頼性の高いインナビアホール接続が得られる。

【0042】また、本発明は、溝加工工程において、複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することにより、絶縁部材の1枚の厚みより高さが高い部品素子を基板内部に配置することができる。

【0043】また、本発明は、溝加工工程において、回路基板を含む複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することにより、各種厚みの各種回路基板を絶縁部材として用いることができるため、高さが高い部品素子を自由に基板内部に配置することができる。

【0044】さらに、本発明は、溝加工工程において、導電性を有する配線パターンに電気的に接続された部品素子を少なくとも一方の面上に有した部品搭載基板を含む複数枚の薄板状の絶縁部材より成り立つ絶縁基材の所定位置に、部品素子の形状よりも大きい形状の溝を形成することにより、部品素子を高密度に基板内部に配置することができる。

【0045】また、本発明は、絶縁基材のビアホール内に充填された、導電性物質を有する導電性ペーストと、導電性を有する配線パターンを少なくとも一方の面上に有した表層としての回路基板の前記配線パターンとが電気的に接続された回路基板において、前記絶縁基材の所定位置に形成した溝もしくは貫通孔が微小化することにより、前記素子を絶縁基材の溝もしくは貫通孔内に保持した回路基板であり、絶縁基材の圧縮性が増すことにより、導電性ペーストの導電性物質がさらに緻密化して電気的接続がより強固な信頼性の高いインナビアホール接続を持つ回路基板が得られる。

【0046】さらに、本発明は、絶縁基材のビアホール内に充填された、導電性物質を有する導電性ペースト

と、導電性を有する配線パターンを少なくとも一方の面上に有した表層としての回路基板の前記配線パターンとが電氣的に接続された回路基板において、少なくとも前記絶縁基材の所定位置に形成した貫通孔と、前記絶縁基材に隣接する前記回路基板の前記貫通孔に隣接する位置に形成した溝もしくは貫通孔が微小化することにより、部品素子を絶縁基材の貫通孔と、隣接する前記回路基板の溝もしくは貫通孔内に保持した回路基板であり、絶縁基材の圧縮性が増すことにより、導電性ペーストの導電性物質がさらに緻密化して電氣的接続がより強固な信頼性の高いインナビアホール接続を持つ回路基板が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1における、内部に部品素子を有する回路基板の製造工程を示す工程断面図

【図2】本発明の実施の形態2における、内部に部品素子を有する回路基板の製造工程を示す工程断面図

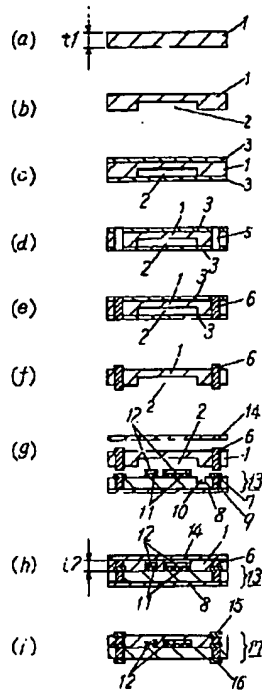
【図3】本発明の実施の形態3における、内部に部品素子を有する回路基板の製造工程を示す工程断面図

【図4】従来の回路基板の製造方法を示す工程断面図

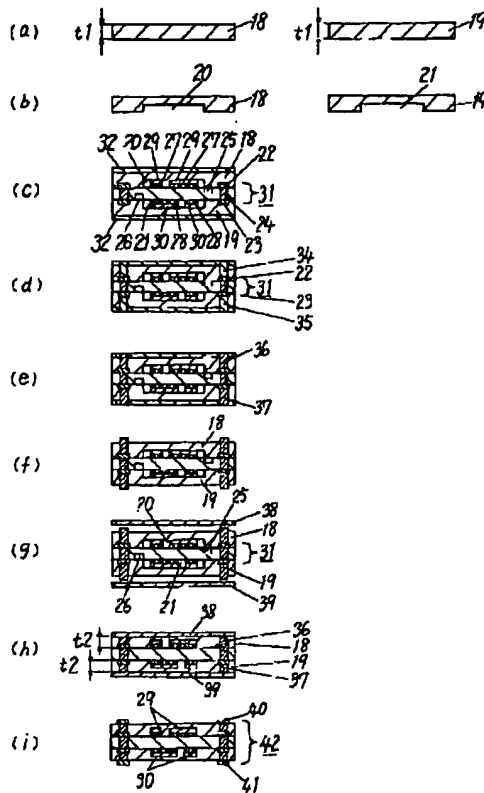
【符号の説明】

- | | |
|-----------------------|-----------------------|
| 1 絶縁基材（アラミドーエポキシシート） | 23 第2の配線パターン |
| 2 溝 | 24 導電性ペースト |
| 3 離型性フィルム | 25 溝 |
| 5 貫通孔 | 26 溝 |
| 6 導電性ペースト | 27 配線パターン |
| 7 配線パターン | 28 配線パターン |
| 8 金属箔 | 29 部品素子 |
| 9 導電性ペースト | 30 部品素子 |
| 10 溝 | 31 部品搭載基板 |
| 11 配線パターン | 32 離型性フィルム |
| 12 部品素子 | 34 ビアホール |
| 13 部品搭載基板 | 35 ビアホール |
| 14 金属箔 | 36 導電性ペースト |
| 15 配線パターン | 37 導電性ペースト |
| 16 配線パターン | 38 金属箔 |
| 17 4層回路基板 | 39 金属箔 |
| 18 絶縁基材（アラミドーエポキシシート） | 40 配線パターン |
| 19 絶縁基材（アラミドーエポキシシート） | 41 配線パターン |
| 20 溝 | 42 4層回路基板 |
| 21 溝 | 50 絶縁基材（アラミドーエポキシシート） |
| 22 第1の配線パターン | 51 溝 |
| | 52 離型性フィルム |
| | 53 貫通孔 |
| | 54 導電性ペースト |
| | 55 配線パターン |
| | 56 金属箔 |
| | 57 配線パターン |
| | 58 導電性ペースト |
| | 59 配線パターン |
| | 60 部品素子 |
| | 61 部品搭載基板 |
| | 62 溝 |
| | 63 配線パターン |
| | 64 多層回路基板 |
| | 101 離型性フィルム |
| | 102 絶縁基材 |
| | 103 貫通孔 |
| | 104 導電性ペースト |
| | 105 金属箔 |
| | 106 配線パターン |
| | 107 回路基板 |

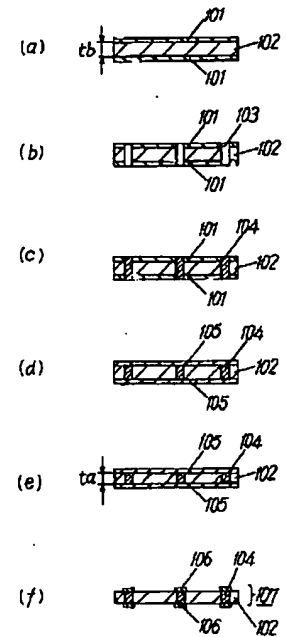
【図1】



【図2】



【図4】



フロントページの続き

(72)発明者 堀 健一郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 和田 彰
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 井田 秀二
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5E346 AA02 AA12 AA22 AA43 CC05
CC09 CC32 DD02 DD12 DD32
EE08 FF18 GG15 GG22 GG25
GG28 HH07